

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09246544 A**(43) Date of publication of application: **19.09.97**

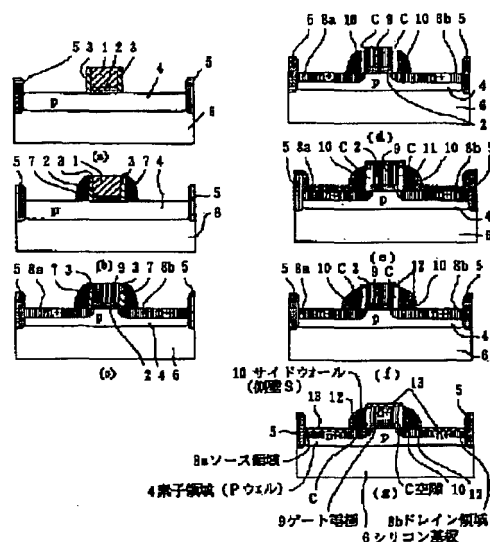
(51) Int. Cl.

H01L 29/78
H01L 21/336
(21) Application number: **08050525**(71) Applicant: **NEC CORP**(22) Date of filing: **07.03.96**(72) Inventor: **TOGO MITSUHIRO**
**(54) SEMICONDUCTOR DEVICE AND ITS
MANUFACTURE**
(57) Abstract:

PROBLEM TO BE SOLVED: To lessen the fringe capacity of a field effect transistor.

SOLUTION: Sidewalls 3 and 7 are made in two layers of inside and outside at the side of a gate electrode 9, and then the inner sidewall 3 is removed selectively by wet etching to form a cavity, and next the top opening of the cavity is plugged, and the fringe capacity is minimized, using this cavity C for reduction of capacity. Furthermore, the height of the sidewall 7 is made low, and a sidewall 10 is made, and the gate electrode 9 is projected upward, and insulating films 11 and 12 are etched back to expose the gate electrode 9 and source and drain regions 8a and 8b, and a silicide 13 is made, and wiring processing is performed through the silicide 13 to the gate electrode 9 and the source and drain regions 8a and 8b so as to lower the resistance of an element.

COPYRIGHT: (C)1997,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-246544

(43) 公開日 平成9年(1997)9月19日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78			H 0 1 L 29/78	3 0 1 G
21/336				3 0 1 Y

審査請求 未請求 請求項の数13 O L (全 15 頁)

(21) 出願番号 特願平8-50525

(22) 出願日 平成8年(1996)3月7日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 東郷 光洋

東京都港区芝五丁目7番1号 日本電気株式会社内

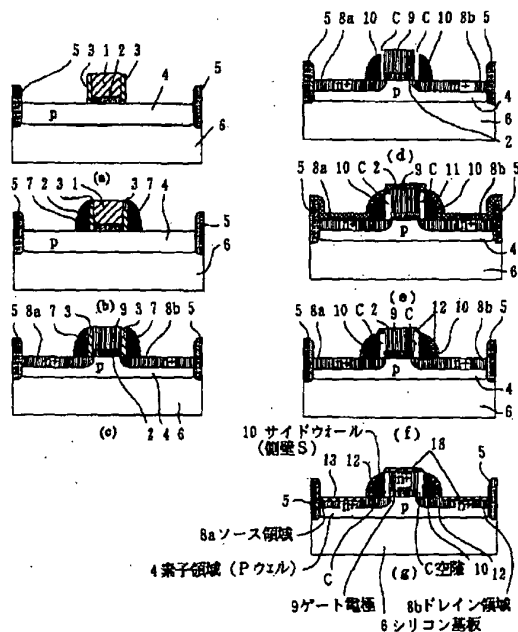
(74) 代理人 弁理士 菅野 中

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 電界効果トランジスタのフリンジ容量を小さくする。

【解決手段】 ゲート電極9の側部にサイドウォール3、7を内外2層に形成した後、内側のサイドウォール3を選択的にウェットエッチング3により除去して空隙Pを形成し、次に空隙Cの上部開口縁を施蓋し、この空隙Cを容量低減用として用いてフリンジ容量を小さく抑制する。さらにサイドウォール7の高さを低くしてサイドウォール10を形成してゲート電極9を上方に突き出し、絶縁膜11、12をエッチバックしてゲート電極9及びソース・ドレイン領域8a、8bを露出させてシリサイド13を形成し、ゲート電極9及びソース・ドレイン領域8a、8bにシリサイド13を介して配線処理を行ない素子の低抵抗化を図る。



【特許請求の範囲】

【請求項1】 ソース領域及びドレイン領域と、ゲート電極と、側壁と、シリサイドとを有する半導体装置であって、

ソース領域は、キャリアを供給するものであり、ドレイン領域は、前記キャリアを引き出すものであり、ゲート電極は、印加される電圧によりソース領域からドレイン領域へのキャリアの流れを制御するものであり、ゲート電極とソース領域及びドレイン領域とは、半導体基板の素子領域内に隣接して形成されており、

側壁は、前記ゲート電極の側部に形成されたものであり、前記側壁とゲート電極の間には、ゲート電極とソース領域及びドレイン領域の間に生ずるフランジ容量を低減するための空隙を有し、

さらに前記側壁は前記ゲート電極の高さより低く、前記ゲート電極は前記側壁の高さ位置を超えて上方に突き出たものであり、

シリサイドは、絶縁膜を除去して露出した前記ゲート電極及びソース領域・ドレイン領域の表面に形成されたものであることを特徴とする半導体装置。

【請求項2】 ソース領域及びドレイン領域と、ゲート電極と、側壁とを有する半導体装置であって、

ソース領域は、キャリアを供給するものであり、ドレイン領域は、前記キャリアを引き出すものであり、ゲート電極は、印加される電圧によりソース領域からドレイン領域へのキャリアの流れを制御するものであり、ゲート電極とソース領域及びドレイン領域とは、半導体基板の素子領域内に隣接して設けられており、

側壁は、前記ゲート電極の側部に形成されたものであり、

さらに前記ゲート電極は、半導体基板の素子領域を区画するフィールド絶縁膜膜に両端支持されて半導体基板から浮上し、かつゲート電極と側壁及びソース領域並びにドレイン領域との間には、空隙が形成されており、

前記空隙は、ゲート電極とソース領域及びドレイン領域との間に生ずるフリンジ容量、オーバーラップ容量、ゲート容量を低減する空間であることを特徴とする半導体装置。

【請求項3】 シリサイドを有し、

前記側壁は前記ゲート電極の高さより低く、前記ゲート電極は前記側壁の高さ位置を超えて上方に突き出たものであり、

シリサイドは、絶縁膜を除去して露出した前記ゲート電極及びソース領域・ドレイン領域の表面に形成されたものであることを特徴とする請求項2に記載の半導体装置。

【請求項4】 ポケット構造を有する半導体装置であって、

ポケット構造は、短チャネル効果を抑制するものであって、前記ゲート電極と側壁の間に形成された空隙の下方

領域に制限されて設けられたものであることを特徴とする請求項1、2又は3に記載の半導体装置。

【請求項5】 ゲート電極形成工程と、サイドウォール形成工程と、ソース・ドレイン領域形成工程と、空隙形成工程と、シリサイド形成工程とを少なくとも含む半導体装置の製造方法であって、

ゲート電極形成工程は、半導体基板の素子領域にゲート絶縁膜を介してゲート電極を形成する処理であり、

サイドウォール形成工程は、前記ゲート電極の側部に内外2層の第1及び第2のサイドウォールを形成する処理であり、

ソース・ドレイン領域形成工程は、前記半導体基板の全面に不純物をイオン注入し、ソース・ドレイン領域を形成し、かつ前記ゲート電極を低抵抗化する処理であり、空隙形成工程は、前記内外2層のサイドウォールのうち内側の第1のサイドウォールを除去して外側の第2のサイドウォールとゲート電極の間に容量低減用の空隙を形成し、かつ前記外側の第2のサイドウォールの高さをゲート電極より低く形成する処理であり、

シリサイド形成工程は、前記基板前面に絶縁膜を被覆性の悪い化学気相成長法により形成した後、該絶縁膜をエッチバックしてゲート電極及びソース・ドレイン電極の表面を露出させ、前記ゲート電極及び基板にシリサイドを形成する処理であることを特徴とする半導体装置の製造方法。

【請求項6】 ゲート電極形成工程と、第1のソース・ドレイン形成工程と、空隙形成工程と、ポケット構造形成工程と、第2のソース・ドレイン形成工程とを少なくとも含む半導体装置の製造方法であって、

ゲート電極形成工程は、半導体基板の素子領域にゲート絶縁膜を介してゲート電極を形成する処理であり、

第1のソース・ドレイン形成工程は、前記ゲート電極の側部に第1のサイドウォールを形成し、前記半導体基板全面に不純物をイオン注入して、不純物分布の浅いソース・ドレイン領域を形成する処理であり、

空隙形成工程は、前記第1のサイドウォールに第2のサイドウォールを重ねて内外2層のサイドウォールを形成し、しかる後に内側の第1のサイドウォールを除去して外側の第2のサイドウォールとゲート電極の間に容量低減用の空隙を形成する処理であり、

ポケット構造形成工程は、前記空隙内及び第2のサイドウォールの外側領域にソース・ドレイン領域の不純物とは極性の異なる不純物をイオン注入し、空隙下方の不純物分布の浅いソース・ドレイン領域及び第2のサイドウォール外側下方の不純物分布の浅いソース・ドレイン領域の真下に制限してポケット構造を形成する処理であり、

第2のソース・ドレイン領域形成工程は、前記空隙の上部開口を閉塞して前記半導体全面に不純物をイオン注入し、第2のサイドウォールより外側領域のソース・ドレ

イン領域のみの厚さを増加させて不純物分布の深いソース・ドレイン領域を形成し、かつゲート電極を低抵抗化する処理であることを特徴とする半導体装置の製造方法。

【請求項7】 前記第2のソース・ドレイン領域形成工程におけるイオン注入は、前記サイドウォールに対して斜め方向から行うことを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】 前記第1のソース・ドレイン形成工程とポケット構造形成工程は、前記空隙形成工程の後処理として行い、

前記第2のソース・ドレイン領域形成工程におけるイオン注入は、前記サイドウォールに対して斜め方向から行うことを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項9】 ゲート電極形成工程と、サイドウォール形成工程と、第1のソース・ドレイン形成工程と、空隙形成工程と、熱処理工程と、第2のソース・ドレイン形成工程と、活性化処理工程とを少なくとも含む半導体装置の製造方法であって、

ゲート電極形成工程は、半導体基板の素子領域にゲート絶縁膜を介してゲート電極を形成する処理であり、

サイドウォール形成工程は、前記ゲート電極の側部に内外2層の第1のサイドウォール及び第2のサイドウォールを形成する処理であり、

第1のソース・ドレイン形成工程は、前記半導体基板の全面に不純物をイオン注入し、不純物分布の深いソース・ドレイン領域を形成し、かつ前記ゲート電極を低抵抗化する処理であり、

空隙形成工程は、内側の第1のサイドウォールを除去し、ゲート電極と外側の第2のサイドウォールの間に容量低減用の空隙を形成する処理であり、

熱処理工程は、前記空隙の形成後、熱処理を行い、前記不純物分布の深いソース・ドレイン領域をなす不純物層を活性化させ、かつ前記ゲート電極中の不純物を均一に分布させる処理であり、

第2のソース・ドレイン形成工程は、前記半導体基板全面に不純物をイオン注入して、前記不純物分布の深いソース・ドレイン領域上に不純物分布の浅いソース・ドレイン領域を形成する処理であり、

活性化処理工程は、前記不純物分布の浅いソース・ドレイン領域の不純物を活性化する処理であることを特徴とする半導体装置の製造方法。

【請求項10】 前記半導体基板の素子領域をなすウェルは、前記空隙形成工程の後工程にて、前記空隙の内外に位置するゲート電極と第2のサイドウォールをマスクとしてイオン注入を行うことにより形成することを特徴とする請求項5、6、7、8又は9に記載の半導体装置の製造方法。

【請求項11】 前記ゲート電極を、半導体基板の素子

領域を区画するフィールド絶縁膜に両端支持させて形成し、ゲート絶縁膜及び第1のサイドウォールを同時に除去することを特徴とする請求項5、6、7、8、9又は10に記載の半導体装置の製造方法。

【請求項12】 前記ゲート電極、第2のサイドウォールはシリコン酸化膜であり、第1のサイドウォールはシリコン窒化膜であり、

ホット燐酸を多く含む溶液を用いて、第1のサイドウォールのみを選択的に除去することを特徴とする請求項5、6、7、8、9、10又は11に記載の半導体装置の製造方法。

【請求項13】 前記第2のサイドウォールの高さをゲート電極より低く形成し、

前記基板前面に絶縁膜を被覆性の悪い化学気相成長法により形成した後、該絶縁膜をエッチバックしてゲート電極及びソース・ドレイン電極の表面を露出させ、前記ゲート電極及び基板にシリサイドを形成することを特徴とする請求項6、7、8、9、10、11又は12に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置及びその製造方法に係り、特に電界効果トランジスタのゲート電極およびソース領域とドレイン領域およびウェルの製造方法に関するものである。

【0002】

【従来の技術】ロジックLSIの高速化を図るためには、素子の寄生容量を削減して駆動能力を高める必要がある。従来の半導体装置は図11(a)に示すように、シリコン基板6上にP型ウェル4がフィールド絶縁膜5により素子分離して形成され、その上にゲート絶縁膜2を介してゲート電極1が設けられており、またゲート電極1の側壁に第三の絶縁膜7が形成されていた。この第三の絶縁膜7としては、シリコン酸化膜が用いられており、ゲート電極1の側壁はシリコン酸化膜7で形成されることとなり、ゲート電極1とソース領域およびドレイン領域の間にシリコン酸化膜を介してフリンジ容量が生じて回路動作を遅くする。

【0003】また、短チャネル効果を抑制することも重要である。そこで図10(b)に示すように不純物を含むゲート電極9が形成され、ゲート電極9に隣接してソース・ドレイン領域8とポケット構造15が設けられているが、短チャネル効果の抑制に有効なポケット構造15を形成した場合、ドレイン領域の接合容量が大きくなる。素子の微細化が進むと、寄生容量の素子特性への影響は非常に大きくなり問題である。

【0004】その他の問題として、図11(b)に示すゲート電極9中の不純物を均一に分布させると同時にソース・ドレイン領域8の不純物の活性化を行うための熱処理において、熱処理が足りないと、ゲート電極9中の

不純物が均一に分布せずゲート電極9の抵抗が十分低くないという問題が生じ、熱処理が多いとソース・ドレイン領域8の不純物がチャネル領域へ拡散して短チャネル効果が顕著に生じるという問題や、ゲート電極9中の不純物がゲート絶縁膜2を介してチャネル領域へ拡散してしきい値を変えろという問題がある。

【0005】

【発明が解決しようとする課題】半導体装置のフリンジ容量を下げる方法に関して、有機絶縁膜等のシリコン酸化膜より低い誘電率の材料を使う方法が考えられるが、ゲート側壁としては、熱処理工程の問題により耐熱性の弱い低誘電率の有機絶縁膜を採用することはできない。その他の方法として、特開平1-28636号や特開平5-330202号に記載のように、ゲート電極の側壁に空洞を設ける方法がある。しかし、これらの方法では、空洞の上部を酸化膜で覆ったままゲート電極およびソース・ドレイン領域の上部を露出させることができないため、ゲート電極およびソース・ドレイン領域の寄生抵抗を下げるためのシリサイド化を行うことができない。

【0006】また、ポケット構造を形成することによるドレイン領域の接合容量の増加を抑える方法として、エレクトロン・デバイス(IEEE TRANSACTIONS ON ELECTRON DEVICES) VOL. 42, NO. 1, JANUARY 1995, PP. 78-86に記載のように、ゲート電極とシリサイド化されたソース・ドレイン領域の間からイオン注入する方法がある。しかし、この方法では、シリサイドは耐熱性が弱いためにシリサイド化した後のイオン注入による不純物は熱処理が充分施されない。

【0007】本発明は、高速化、低消費電力化、信頼性を向上させた半導体装置を提供するものである。さらに本発明は、ゲート電極の側壁に空隙をシリサイド工程を適用できる方法で形成すると同時に、自己整合でポケット構造を形成する半導体装置の製造方法を提供することを目的とする。

【0008】更に本発明は、ゲート電極のフリンジ容量を小さくすると同時に、ゲート電極中の不純物を充分均一に分布しながらソース・ドレイン領域の不純物をチャネル領域へ過剰に拡散させず活性化する半導体装置の製造方法を提供することを目的とする。

【0009】また本発明は、ゲート電極のフリンジ容量を小さくすると同時に、ゲート電極中の不純物がゲート絶縁膜を介してチャネル領域へ拡散することを抑える半導体装置の製造方法、およびゲート電極のフリンジ容量を小さくすると同時に、LDD構造の形成のための露光工程を増やさない半導体装置の製造方法、およびゲート電極のフリンジ容量を小さくすると同時にチャネル領域を局所的に形成するための露光工程を増やさない半導体装置の製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】前記目的を達成するため、本発明に係る半導体装置は、ソース領域及びドレイン領域と、ゲート電極と、側壁とを有する半導体装置であって、ソース領域は、キャリアを供給するものであり、ドレイン領域は、前記キャリアを引き出すものであり、ゲート電極は、印加される電圧によりソース領域からドレイン領域へのキャリアの流れを制御するものであり、ゲート電極とソース領域及びドレイン領域とは、半導体基板の素子領域内に隣接して形成されており、側壁は、前記ゲート電極の側部に形成されたものであり、前記側壁とゲート電極との間には、ゲート電極とソース領域及びドレイン領域の間に生ずるフリンジ容量を低減するための空隙を有し、さらに前記側壁は前記ゲート電極の高さより低く、前記ゲート電極は前記側壁の高さ位置を超えて上方に突き出たものであり、シリサイドは、絶縁膜を除去して露出した前記ゲート電極及びソース領域・ドレイン領域の表面に形成されたものであるものである。

【0011】また本発明に係る半導体装置は、ソース領域及びドレイン領域と、ゲート電極と、側壁とを有する半導体装置であって、ソース領域は、キャリアを供給するものであり、ドレイン領域は、前記キャリアを引き出すものであり、ゲート電極は、印加される電圧によりソース領域からドレイン領域へのキャリアの流れを制御するものであり、ゲート電極とソース領域及びドレイン領域とは、半導体基板の素子領域内に隣接して設けられており、側壁は、前記ゲート電極の側部に形成されたものであり、さらに前記ゲート電極は、半導体基板の素子領域を区画するフィールド絶縁膜に両端支持されて半導体基板から浮上し、かつゲート電極と側壁及びソース領域並びにドレイン領域との間には、空隙が形成されており、前記空隙は、ゲート電極とソース領域及びドレイン領域との間に生ずるフリンジ容量、オーバーラップ容量、ゲート容量を低減する空間である。

【0012】またシリサイドを有し、前記側壁は前記ゲート電極の高さより低く、前記ゲート電極は前記側壁の高さ位置を超えて上方に突き出たものであり、シリサイドは、絶縁膜を除去して露出した前記ゲート電極及びソース領域・ドレイン領域の表面に形成されたものである。

【0013】またポケット構造を有する半導体装置であって、ポケット構造は、短チャネル効果を抑制するものであって、前記ゲート電極と側壁の間に形成された空隙の下方領域に制限されて設けられたものである。

【0014】また本発明に係る半導体装置の製造方法は、ゲート電極形成工程と、サイドウォール形成工程と、ソース・ドレイン領域形成工程と、空隙形成工程と、シリサイド形成工程とを少なくとも含む半導体装置の製造方法であって、ゲート電極形成工程は、半導体基

板の素子領域にゲート絶縁膜を介してゲート電極を形成する処理であり、サイドウォール形成工程は、前記ゲート電極の側部に内外2層の第1及び第2のサイドウォールを形成する処理であり、ソース・ドレイン領域形成工程は、前記半導体基板の全面に不純物をイオン注入し、ソース・ドレイン領域を形成し、かつ前記ゲート電極を低抵抗化する処理であり、空隙形成工程は、前記内外2層のサイドウォールのうち内側の第1のサイドウォールを除去して外側の第2のサイドウォールとゲート電極の間に容量低減用の空隙を形成し、かつ前記外側の第2のサイドウォールの高さをゲート電極より低く形成する処理であり、シリサイド形成工程は、前記基板前面に絶縁膜を被覆性の悪い化学気相成長法により形成した後、該絶縁膜をエッチバックしてゲート電極及びソース・ドレイン電極の表面を露出させ、前記ゲート電極及び基板にシリサイドを形成する処理である。

【0015】また本発明に係る半導体装置の製造方法は、ゲート電極形成工程と、第1のソース・ドレイン形成工程と、空隙形成工程と、ポケット構造形成工程と、第2のソース・ドレイン形成工程とを少なくとも含む半導体装置の製造方法であって、ゲート電極形成工程は、半導体基板の素子領域にゲート絶縁膜を介してゲート電極を形成する処理であり、第1のソース・ドレイン形成工程は、前記ゲート電極の側部に第1のサイドウォールを形成し、前記半導体基板全面に不純物をイオン注入して、不純物分布の浅いソース・ドレイン領域を形成する処理であり、空隙形成工程は、前記第1のサイドウォールに第2のサイドウォールを重ねて内外2層のサイドウォールを形成し、しかる後に内側の第1のサイドウォールを除去して外側の第2のサイドウォールとゲート電極の間に容量低減用の空隙を形成する処理であり、ポケット構造形成工程は、前記空隙内及び第2のサイドウォールの外側領域にソース・ドレイン領域の不純物とは極性の異なる不純物をイオン注入し、空隙下方の不純物分布の浅いソース・ドレイン領域及び第2のサイドウォール外側下方の不純物分布の浅いソース・ドレイン領域の真下に制限してポケット構造を形成する処理であり、第2のソース・ドレイン領域形成工程は、前記空隙の上部開口を閉塞して前記半導体全面に不純物をイオン注入し、第2のサイドウォールより外側領域のソース・ドレイン領域のみの厚さを増加させて不純物分布の深いソース・ドレイン領域を形成し、かつゲート電極を低抵抗化する処理である。

【0016】また前記第2のソース・ドレイン領域形成工程におけるイオン注入は、前記サイドウォールに対して斜め方向から行うものである。

【0017】また前記第1のソース・ドレイン形成工程とポケット構造形成工程は、前記空隙形成工程の後処理として行い、前記第2のソース・ドレイン領域形成工程におけるイオン注入は、前記サイドウォールに対して斜

め方向から行うものである。

【0018】また本発明に係る半導体装置の製造方法は、ゲート電極形成工程と、サイドウォール形成工程と、第1のソース・ドレイン形成工程と、ソース・ドレイン形成工程と、空隙形成工程と、熱処理工程と、第2のソース・ドレイン形成工程と、活性化処理工程とを少なくとも含む半導体装置の製造方法であって、ゲート電極形成工程は、半導体基板の素子領域にゲート絶縁膜を介してゲート電極を形成する処理であり、サイドウォール形成工程は、前記ゲート電極の側部に内外2層の第1のサイドウォール及び第2のサイドウォールを形成する処理であり、第1のソース・ドレイン形成工程は、前記半導体基板の全面に不純物をイオン注入し、不純物分布の深いソース・ドレイン領域を形成し、かつ前記ゲート電極を低抵抗化する処理であり、空隙形成工程は、内側の第1のサイドウォールを除去し、ゲート電極と外側の第2のサイドウォールの間に容量低減用の空隙を形成する処理であり、熱処理工程は、前記空隙の形成後、熱処理を行い、前記不純物分布の深いソース・ドレイン領域をなす不純物層を活性化させ、かつ前記ゲート電極中の不純物を均一に分布させる処理であり、第2のソース・ドレイン形成工程は、前記半導体基板全面に不純物をイオン注入して、前記不純物分布の深いソース・ドレイン領域上に不純物分布の浅いソース・ドレイン領域を形成する処理であり、活性化処理工程は、前記不純物分布の浅いソース・ドレイン領域の不純物を活性化する処理である。

【0019】また前記半導体基板の素子領域をなすウェルは、前記空隙形成工程の後工程にて、前記空隙の内外に位置するゲート電極と第2のサイドウォールをマスクとしてイオン注入を行うことにより形成するものである。

【0020】また前記ゲート電極を、半導体基板の素子領域を区画するフィールド酸化膜に両端支持させて形成し、ゲート絶縁膜及び第1のサイドウォールを同時に除去するものである。

【0021】また前記ゲート電極、第2のサイドウォールはシリコン酸化膜であり、第1のサイドウォールはシリコン窒化膜であり、ホットリン酸を多く含む溶液を用いて、第1のサイドウォールのみを選択的に除去するものである。

【0022】また前記第2のサイドウォールの高さをゲート電極より低く形成し、前記基板全面に絶縁膜を被覆性の悪い化学気相成長法により形成した後、該絶縁膜をエッチバックしてゲート電極及びソース・ドレイン電極の表面を露出させ、前記ゲート電極及び基板にシリサイドを形成するものである。

【0023】

【作用】半導体装置では図10(a)に示すように、ゲート電極9、ソース領域8a、ドレイン領域8bが半導

体基板6上に隣接して設けられており、これらの相互間に誘電体としての絶縁膜が介在し、この構造が容量を生じさせることとなるが、素子の微細化のためには、この構造は避けられないものである。

【0024】そこで本発明では、絶縁膜をなくして、その箇所に空隙を設けている。空隙、すなわち空気層は、誘電率が最も小さい物質であり、本発明では絶縁膜を空隙構造とすることにより、容量の値を極めて小さく抑えている。

【0025】さらに本発明では、第2のサイドウォールの高さをゲート電極より低く形成し、前記基板全面に絶縁膜を被覆性の悪い化学気相成長法により形成した後、該絶縁膜をエッチバックしてゲート電極及びソース・ドレイン電極の表面を露出させ、前記ゲート電極及び基板にシリサイドを形成する。これによりゲート電極及びソース・ドレイン電極は、シリサイドを介して配線処理を施し、素子の低抵抗化を図る。

【0026】

【発明の実施の形態】以下、本発明を図により説明する。図1～図8は、本発明の実施形態に係る半導体装置及びその製造方法を示す断面図である。

【0027】図において本発明に係る半導体装置は基本的構成として、ソース領域8a、14a及びドレイン領域8b、14bと、ゲート電極9と、側壁Sと、シリサイド13とを有している(図1(g)～図3(h)、図4(g)、図5(h)、図6(g)～図8(g)、図9)。

【0028】ソース領域8a、14aは、キャリアを供給するものであり、ドレイン領域8b、14bは、ソース領域8a、14aからのキャリアを引き出すものであり、ゲート電極9は、印加される電圧によりソース領域8a、14aからドレイン領域8b、14bへのキャリアの流れを制御するものであり、ゲート電極9とソース領域8a、14a及びドレイン領域8b、14bとは、半導体基板6の素子領域内に隣接して形成されている。この半導体基板6の素子領域は、フィールド絶縁膜5により区画されている。またソース領域8a、14a及びドレイン領域8b、14bのドレイン電極9に対する左右の配置関係は、図示のものと左右逆の配置関係であってもよい。

【0029】側壁S(サイドウォール10)は図1(g)～図3(h)、図4(g)、図5(h)、図6(g)、図9に示すように、ゲート電極9の側部に形成されたものであり、側壁Sとゲート電極9との間には、ゲート電極9とソース領域8a、14a及びドレイン領域8b、14b間に生ずるフランジ容量(図10(a))を低減するための空隙Cを有している。空隙Cを形成するにあたっては、側壁Sを内外2層のサイドウォール3、7から構成し、内側のサイドウォール3のみを選択的に除去して外側のサイドウォール7を残し、こ

のサイドウォール7を側壁Sとして用い、空隙Cを形成している。

【0030】さらに図1(g)～図3(h)、図4(g)、図5(h)、図6(g)、図9に示すように、側壁Sをなすサイドウォール7は、ゲート電極9の高さより低くしたサイドウォール10として形成し、ゲート電極9はサイドウォール(側壁S)10の高さ位置を超えて上方に突き出して設け、基板全面に絶縁膜11、12を被覆性の悪い化学気相成長法により形成した後、絶縁膜11、12をエッチバックしてゲート電極9及びソース・ドレイン電極8a、14a、8b、14bの表面を露出させ、ゲート電極9及び基板6にシリサイド13を形成している。

【0031】したがって本発明によれば、図9に示すように、従来の絶縁膜に代えて空隙Cがゲート電極9とソース領域8a及びドレイン領域8bの間に存在し、その空隙Cの誘電率は空気と同じであるから、側壁Sを通してゲート電極9とソース領域8a及びドレイン領域8bの間に生じるフランジ容量(図10(a))を極めて小さく抑えることができる。

【0032】さらに本発明によれば、サイドウォール(側壁S)10の高さは図1(g)～図3(h)、図4(g)、図5(h)、図6(g)、図9に示すようにゲート電極9より低くして形成し、ゲート電極9をサイドウォール(側壁S)10を越えて上方に突き出し、絶縁膜(11、12)のエッチバックにより、ゲート電極9及びソース・ドレイン電極8a、14a、8b、14bの表面を露出させ、ゲート電極9及び基板6にシリサイド13を形成しているため、ゲート電極9及びソース・ドレイン電極8a、14a、8b、14bは、シリサイド13を介して配線処理が施され、素子の低抵抗化を図ることができる。

【0033】さらに本発明に係る半導体装置は図2(g)～図3(g)、図4(g)に示すように、ポケット構造15を有している。このポケット構造15は短チャネル効果を抑制するものであり、本発明では、ポケット構造15を、ゲート電極9と側壁Sとの間に形成された空隙Cの下方領域に制限して設けられている。

【0034】本発明ではポケット構造15を空隙Cの下方領域に制限して設けているため、図10(a)、(b)に示すゲート電極9とソース領域8a及びドレイン領域8bとの重なりあう部分における接合容量を増やさずに短チャネル効果を抑制することができる。

【0035】さらに本発明に係る半導体装置は図7(g)及び図8(g)に示すように、空隙Cを設けるにあたって、ゲート電極9を半導体基板6の素子領域を区画するフィールド絶縁膜5、5に両端支持して半導体基板6から浮上し、ゲート電極9と側壁Sとの間に空隙Cを形成するとともに、ゲート絶縁膜2に代えてゲート電極9とソース領域8a及びドレイン領域8bとの間にも

空隙Cを形成している。

【0036】本発明では、ゲート電極9とソース領域8a及びドレイン領域8bは、空隙Cを介して隣接するため、図10(a)に示すフランジ容量ばかりでなく、オーバーラップ容量、ゲート容量を低減することができる。

【0037】また図7(g)及び図8(g)に示す本発明に係る半導体装置においても、サイドウォール(側壁S)10の高さは、ゲート電極9より低くしてゲート電極9を上方に突き出して設けている。

【0038】したがって、図7(g)及び図8(g)に示す本発明に係る半導体装置においても、サイドウォール(側壁S)10の高さは、ゲート電極9より低くしてゲート電極9を上方に突き出して設け、絶縁膜(11, 12)のエッチバックにより、ゲート電極9及びソース・ドレイン電極8a, 14a, 8b, 14bの表面を露出させ、ゲート電極9及び基板6にシリサイド13を形成しているため、ゲート電極9及びソース・ドレイン電極8a, 14a, 8b, 14bは、シリサイド13を介して配線処理が施され、素子の低抵抗化を図ることができる。

【0039】次に本発明に係る半導体装置の製造方法を図を用いて説明する。

【0040】(実施形態1) 図1に示す本発明に係る半導体装置の製造方法は、基本的構成として、ゲート電極形成工程と、サイドウォール形成工程と、ソース・ドレイン領域形成工程と、空隙形成工程と、シリサイド形成工程とを少なくとも含むものである。

【0041】図1(a)に示すゲート電極形成工程では、半導体基板の素子領域にゲート絶縁膜を介してゲート電極を形成する処理を行う。このゲート電極形成工程を具体的に説明すると、図1(a)に示すようにシリコン製の半導体基板6上に素子領域4をフィールド絶縁膜5により区画して設け、その素子領域4の全面にゲート絶縁膜2となる熱シリコン膜を膜厚4nmに形成し、不純物をイオン注入してP型ウェル(素子領域)4を形成する。その後、熱シリコン膜2上にポリシリコン膜を膜厚150nmに形成し、熱シリコン膜及びポリシリコン膜をパターン成形して、ゲート長が0.15μmのゲート電極1と、ゲート電極1の真下にゲート絶縁膜2を残し、シリコン基板6の素子領域(Pウェル)4にゲート絶縁膜2を介してゲート電極1を形成する。

【0042】図1(a), (b)に示すサイドウォール形成工程では、ゲート電極1の側部に内外2層のサイドウォール3, 7を形成する処理を行う。このサイドウォール形成工程を具体的に説明すると、図1(a),

(b)に示すようにゲート電極1の側部に厚みが20nmのシリコン窒化膜からなる第1のサイドウォール3を形成し、さらにシリコン酸化膜からなる第2のサイドウォール7をサイドウォール3に重ねて厚み50nmに積

層し、ゲート電極1の側部に内外2層のサイドウォール3, 7を形成する。

【0043】図1(c)に示すソース・ドレイン領域形成工程では、半導体基板6の全面に不純物をイオン注入して、ソース・ドレイン領域8a, 8bを形成し、かつゲート電極1を低抵抗化する処理を行う。このソース・ドレイン領域形成工程は具体的に説明すると、図1(c)に示すようにシリコン基板6の全面にボロンを40KeV, $2 \times 10^{15} \text{ cm}^{-2}$ の条件でイオン注入して、ソース領域8aとドレイン領域8bを形成し、かつゲート電極1を抵抗化する。ゲート電極1にイオン注入すると、不純物を含んだゲート電極9となり、その抵抗値は、不純物を含まないゲート電極1と比較して低下し、ゲート電極9の低抵抗化が図られる。

【0044】図1(d)に示す空隙形成工程では、内外2層のサイドウォール3, 7のうち内側のサイドウォール3を除去し、外側サイドウォール7とゲート電極9の間に容量低減用の空隙Cを形成する処理を行う。この空隙形成工程を具体的に説明すると、図1(d)に示すように内側のシリコン窒化膜からなるサイドウォール3をホットリン酸により選択的に除去し、外側サイドウォール7とゲート電極9の間に容量低減用の空隙Cを形成する。従来は空隙Cの箇所にはシリコン窒化膜からなるサイドウォール3が存在しており、そのシリコン窒化膜は誘電率が空気と比較して大きく、図10(9)に示すサイドウォール3, 7を通したフランジ容量が大きくなる。これに対して本発明はサイドウォール3が空隙Cすなわち空気層に置き換わるため、フランジ容量を小さく抑えることができる。

【0045】また図1(d)に示すようにフッ酸によりサイドウォール7の頂部を一部削除し、サイドウォール7の高さをゲート電極9より低くしたサイドウォール10を形成する。

【0046】次に図1(e), (f), (g)に示すシリサイド形成工程では、シリコン基板6の全面に被覆性の悪い常圧の化学気相成長法(CVD法)によりシリコン酸化膜11を厚み50nm形成し、シリコン酸化膜11(絶縁膜)をもって空隙Cの上部開口縁を施蓋する。シリコン酸化膜11は被覆性の悪い常圧のCVD法により成膜するため、空隙Cの内部まで侵入することなく、空隙Cの上部開口縁に止まり、その上部開口縁を施蓋することとなり、したがって、空隙Cがゲート電極9とサイドウォール7との間に確保される。

【0047】以上で空隙形成工程が終了するが、次に半導体装置を形成するため、下記の処理が行われる。

【0048】すなわち図1(f)に示すシリサイド工程では、シリコン酸化膜11をドライエッチング法によりエッチバックしてサイドウォール10及び空隙Cの上部開口縁のみにシリコン酸化膜(絶縁膜)12を残しゲート電極9の上面及びソース領域8a, ドレイン領域8b

の表面を露出させ、次に図1 (g) に示すように露出したゲート電極9、ソース領域8a及びドレイン領域8b上にシリサイド13を形成する。

【0049】最後にシリサイド13上に層間絶縁膜を堆積した後、層間絶縁膜にスルーホールを形成し、ゲート電極9、ソース領域8a、ドレイン領域8bにコンタクト部をそれぞれ形成し、半導体装置を形成する。

【0050】尚、図1に示す具体例では、n型電界効果トランジスタを例にとって説明したが、p型電界効果トランジスタにも同様に適用することができる。

【0051】上述した本発明の製造方法によれば、ゲート電極9の側部に絶縁膜に代えて空隙Cが存在するため、図10 (a) に示すフランジ容量を小さく抑制することができる。素子を微細化した場合、図10 (a) に示す各種の容量すなわち寄生容量の素子特性へ与える影響は非常に大きくなる。ゲート電極のフランジ容量の値は、ゲート電極とソース・ドレイン領域の間の距離と、その間に存在する誘電体の誘電率とに関係する。したがって素子を微細化したときでも、ゲート電極とソース・ドレイン領域の間の距離を短くするには限界があるため、素子の微細化とは関係なくフランジ容量は一定に固定される。しかし本発明は、フランジ容量を低く抑制することができ、素子の微細化をしたときのフランジ容量による影響をなくすることができる。

【0052】また上述した本発明の製造方法は図1 (e), (f), (g) に示すように、サイドウォール10の高さをゲート電極9より低くしてゲート電極9を上方に突き出して設け、絶縁膜(11, 12)のエッチバックにより、ゲート電極9及びソース・ドレイン電極8a, 8bの表面を露出させ、ゲート電極9及び基板6にシリサイド13を形成しているため、ゲート電極9及びソース・ドレイン電極8a, 8bは、シリサイド13を介して配線処理が施され、素子の低抵抗化を図ることができる。

【0053】(実施形態2) 図2に示す本発明に係る半導体装置の製造方法は、基本的構成として、ゲート電極形成工程と、第1のソース・ドレイン形成工程と、空隙形成工程と、ポケット構造形成工程と、第2のソース・ドレイン形成工程とを少なくとも含むものである。

【0054】図2 (a) に示すゲート電極形成工程では、半導体基板6の素子領域4にゲート絶縁膜2を介してゲート電極1を形成する処理を行う。この工程は具体的には図1 (a) と同様に処理を行う。

【0055】図2 (a), (b) に示す第1のソース・ドレイン形成工程では、ゲート電極1の側部に第1のサイドウォール3を形成し、半導体基板6の全面に不純物をイオン注入して、不純物分布の浅いソース・ドレイン領域(LDD構造) 14a, 14bを形成する処理を行う。

【0056】図2 (c) に示す空隙形成工程では、第1

のサイドウォール3に第2のサイドウォール7を重ねて内外2層のサイドウォール3, 7を形成し、しかる後に内側の第1のサイドウォール3を除去して外側の第2のサイドウォール7とゲート電極1の間に容量低減用の空隙Cを形成する処理を行う。この工程は具体的には、図1 (d) と同様に処理を行う。また図2 (d) に示すようにフッ酸によりサイドウォール7の頂部を一部削除し、サイドウォール7の高さをゲート電極9より低くしたサイドウォール10を形成する。

【0057】図2 (d) に示すポケット構造形成工程では、空隙C内及び第2のサイドウォール7の外側領域にソース・ドレイン領域14a, 14bの不純物とは極性の異なる不純物をイオン注入し、空隙C下方の不純物分布の浅いソース・ドレイン領域14a, 14b及び第2のサイドウォール7の外側下方の不純物分布の浅いソース・ドレイン領域14a, 14bの真下に制限してポケット構造15を形成する処理を行う。この具体例を説明すると、図2 (c) に示すようにシリコン窒化膜のサイドウォール3をホット燐酸により除去した後、図2 (d) に示すように空隙C内及び第2のサイドウォール7の外側領域に、ソース・ドレイン領域14a, 14bの不純物とは極性の異なる不純物例えば燐を60KeV, $1 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入して、空隙C下方の不純物分布の浅いソース・ドレイン領域14a, 14b、及び第2のサイドウォール7の外側下方の不純物分布の浅いソース・ドレイン領域14a, 14bの真下に制限してポケット構造15を形成する。

【0058】図2 (e), (f) に示す第2のソース・ドレイン領域形成工程では、空隙Cの上部開口縁を閉塞して半導体基板6の全面に不純物をイオン注入し、第2のサイドウォール7より外側領域のソース・ドレイン領域14a, 14bのみの厚さを増加させて不純物分布の深いソース・ドレイン領域8a, 8bを形成し、かつゲート電極9を低抵抗化する処理を行う。尚、空隙Cの上部開口縁を施す処理は図1 (e) と同様に行う。

【0059】次に図1 (e), (f), (g) に示すシリサイド13の形成処理と、コンタクト部の形成処理を行い、半導体装置を形成する。

【0060】上述した本発明の製造方法によれば図2 (g) から明らかなように、ポケット構造15はゲート電極9の側壁の空隙C真下のみに制限されて分布することとなり、ソース・ドレイン領域8a, 8bとポケット構造15とを接続する不純物分布の浅いソース・ドレイン領域14a, 14bは、サイドウォール7の真下位置になり、しかも厚みが薄く、したがって図10 (a) に示す接合容量を増やすことなく、図10 (b) のように短チャネル効果を抑制することができる。

【0061】また上述した本発明の製造方法は図2 (e), (f), (g) に示すように、サイドウォール10の高さをゲート電極9より低くしてゲート電極9を

上方に突き出して設け、絶縁膜(11, 12)のエッチバックにより、ゲート電極9及びソース・ドレイン電極8a, 8bの表面を露出させ、ゲート電極9及び基板6にシリサイド13を形成しているため、ゲート電極9及びソース・ドレイン電極8a, 8bは、シリサイド13を介して配線処理が施され、素子の低抵抗化を図ることができる。

【0062】(実施形態3)図3に示す本発明に係る半導体装置の製造方法は、実施形態2を示す図2(a)～図2(g)と同様に図3(a)～図3(h)の処理を行うものであるが、特に図3(e)に示す第2のソース・ドレイン領域形成工程におけるイオン注入は、サイドウォール10に対して斜め方向から行うことを特徴とするものである。本発明の実施形態では、サイドウォール10に対して8°傾けてイオン注入を行っている。また図3(d)に示すようにフッ酸によりサイドウォール7の頂部を一部削除し、サイドウォール7の高さをゲート電極9より低くしたサイドウォール10を形成している。また図1(e), (f), (g)に示すシリサイド13の形成処理と、コンタクト部の形成処理を行い、半導体装置を形成する。

【0063】上述した本発明によれば、図3(e)に示す第2のソース・ドレイン領域形成工程において、イオン注入を斜め方向から行うことにより、図2に示す実施形態の場合よりCMOSプロセスに適用した場合に、ポケット構造形成のための露出工程を減らすことができる。

【0064】また上述した本発明の製造方法は図3(f), (g), (h)に示すように、サイドウォール10の高さをゲート電極9より低くしてゲート電極9を上方に突き出して設け、絶縁膜(11, 12)のエッチバックにより、ゲート電極9及びソース・ドレイン電極8a, 8bの表面を露出させ、ゲート電極9及び基板6にシリサイド13を形成しているため、ゲート電極9及びソース・ドレイン電極8a, 8bは、シリサイド13を介して配線処理が施され、素子の低抵抗化を図ることができる。

【0065】(実施形態4)図4に示す本発明に係る半導体装置の製造方法は、実施形態3を示す図3(a)～(h)と同様に図4(a)～図4(g)の処理を行うが、特に本実施形態では、前記実施形態の図3(a), (b)で行なわれた第1のソース・ドレイン形成工程と図3(d)で行なわれたポケット構造形成工程は、図4(b)に示す空隙形成工程の後工程として行い、図4(d)に示す第2のソース・ドレイン領域形成工程におけるイオン注入は、図3(e)と同じようにサイドウォール10に対して斜め方向から行うことを特徴とするものである。また図4(b)に示すようにフッ酸によりサイドウォール7の頂部を一部削除し、サイドウォール7の高さをゲート電極9より低くしたサイドウォール10

を形成している。また図4(e), (f), (g)に示すシリサイド13の形成処理と、コンタクト部の形成処理を行い、半導体装置を形成する。

【0066】すなわち図4(c)に示すようにシリコン基板6に対して垂直にイオン注入してゲート電極1の側壁の空隙Cの真下に不純物が分布するように不純物分布の浅いソース・ドレイン領域(LDD構造)14a, 14bおよびポケット構造15を形成し、続けて図4

(d)に示すようにソース・ドレイン領域8a, 8bの形成とゲート電極9の低抵抗化のための不純物のイオン注入を傾斜角8度の斜めから行い、ゲート電極9の側壁の空隙Cの下方には分布しないようにする。

【0067】したがって本発明によれば、ゲート電極9のサイドウォール(側壁10)を用いて、浅い接合のソース・ドレイン領域14a, 14bは基板6に対して垂直にイオン注入を行い、続けて深い接合のソース・ドレイン領域8a, 8bおよびゲート電極9には斜めからのイオン注入を行い形成することにより、LDD領域の形成のために露光工程を省略することができる。

【0068】また上述した本発明の製造方法は図4(e), (f), (g)に示すように、サイドウォール10の高さをゲート電極9より低くしてゲート電極9を上方に突き出して設け、絶縁膜(11, 12)のエッチバックにより、ゲート電極9及びソース・ドレイン電極8a, 8bの表面を露出させ、ゲート電極9及び基板6にシリサイド13を形成しているため、ゲート電極9及びソース・ドレイン電極8a, 8bは、シリサイド13を介して配線処理が施され、素子の低抵抗化を図ることができる。

【0069】(実施形態5)図5に示す本発明に係る半導体装置の製造方法は、ゲート電極形成工程と、サイドウォール形成工程と、第1のソース・ドレイン形成工程と、空隙形成工程と、熱処理工程と、第2のソース・ドレイン形成工程と、活性化処理工程とを少なくとも含んでいる。

【0070】図5(a)に示すゲート電極形成工程では、半導体基板6の素子領域4にゲート絶縁膜2を介してゲート電極1を形成する処理を行う。この工程は図1(a)と同様に処理を行う。

【0071】図5(b)に示すサイドウォール形成工程では、ゲート電極1の側部に内外2層の第1のサイドウォール3及び第2のサイドウォール7を形成する処理を行う。この工程は図1(b)と同様に処理を行う。

【0072】図5(c)に示す第1のソース・ドレイン形成工程では、半導体基板6の全面に不純物をイオン注入して、不純物分布の深いソース・ドレイン領域8a, 8bを形成し、かつゲート電極1を低抵抗化して不純物を含むゲート電極9を形成する処理を行う。このときイオンの注入条件は、ソース・ドレイン領域8a, 8bを形成するイオンがチャネル領域に分布しないように行

上方に突き出して設け、絶縁膜(11, 12)のエッチバックにより、ゲート電極9及びソース・ドレイン電極8a, 8bの表面を露出させ、ゲート電極9及び基板6にシリサイド13を形成しているため、ゲート電極9及びソース・ドレイン電極8a, 8bは、シリサイド13を介して配線処理が施され、素子の低抵抗化を図ることができる。

【0062】(実施形態3)図3に示す本発明に係る半導体装置の製造方法は、実施形態2を示す図2(a)～図2(g)と同様に図3(a)～図3(h)の処理を行うものであるが、特に図3(e)に示す第2のソース・ドレイン領域形成工程におけるイオン注入は、サイドウォール10に対して斜め方向から行うことを特徴とするものである。本発明の実施形態では、サイドウォール10に対して8°傾けてイオン注入を行っている。また図3(d)に示すようにフッ酸によりサイドウォール7の頂部を一部削除し、サイドウォール7の高さをゲート電極9より低くしたサイドウォール10を形成している。また図1(e), (f), (g)に示すシリサイド13の形成処理と、コンタクト部の形成処理を行い、半導体装置を形成する。

【0063】上述した本発明によれば、図3(e)に示す第2のソース・ドレイン領域形成工程において、イオン注入を斜め方向から行うことにより、図2に示す実施形態の場合よりCMOSプロセスに適用した場合に、ポケット構造形成のための露出工程を減らすことができる。

【0064】また上述した本発明の製造方法は図3(f), (g), (h)に示すように、サイドウォール10の高さをゲート電極9より低くしてゲート電極9を上方に突き出して設け、絶縁膜(11, 12)のエッチバックにより、ゲート電極9及びソース・ドレイン電極8a, 8bの表面を露出させ、ゲート電極9及び基板6にシリサイド13を形成しているため、ゲート電極9及びソース・ドレイン電極8a, 8bは、シリサイド13を介して配線処理が施され、素子の低抵抗化を図ることができる。

【0065】(実施形態4)図4に示す本発明に係る半導体装置の製造方法は、実施形態3を示す図3(a)～(h)と同様に図4(a)～図4(g)の処理を行うが、特に本実施形態では、前記実施形態の図3(a), (b)で行なわれた第1のソース・ドレイン形成工程と図3(d)で行なわれたポケット構造形成工程は、図4(b)に示す空隙形成工程の後工程として行い、図4(d)に示す第2のソース・ドレイン領域形成工程におけるイオン注入は、図3(e)と同じようにサイドウォール10に対して斜め方向から行うことを特徴とするものである。また図4(b)に示すようにフッ酸によりサイドウォール7の頂部を一部削除し、サイドウォール7の高さをゲート電極9より低くしたサイドウォール10

を形成している。また図4(e), (f), (g)に示すシリサイド13の形成処理と、コンタクト部の形成処理を行い、半導体装置を形成する。

【0066】すなわち図4(c)に示すようにシリコン基板6に対して垂直にイオン注入してゲート電極1の側壁の空隙Cの真下に不純物が分布するように不純物分布の浅いソース・ドレイン領域(LDD構造)14a, 14bおよびポケット構造15を形成し、続けて図4

(d)に示すようにソース・ドレイン領域8a, 8bの形成とゲート電極9の低抵抗化のための不純物のイオン注入を傾斜角8度の斜めから行い、ゲート電極9の側壁の空隙Cの下方には分布しないようにする。

【0067】したがって本発明によれば、ゲート電極9のサイドウォール(側壁10)を用いて、浅い接合のソース・ドレイン領域14a, 14bは基板6に対して垂直にイオン注入を行い、続けて深い接合のソース・ドレイン領域8a, 8bおよびゲート電極9には斜めからのイオン注入を行い形成することにより、LDD領域の形成のために露光工程を省略することができる。

【0068】また上述した本発明の製造方法は図4(e), (f), (g)に示すように、サイドウォール10の高さをゲート電極9より低くしてゲート電極9を上方に突き出して設け、絶縁膜(11, 12)のエッチバックにより、ゲート電極9及びソース・ドレイン電極8a, 8bの表面を露出させ、ゲート電極9及び基板6にシリサイド13を形成しているため、ゲート電極9及びソース・ドレイン電極8a, 8bは、シリサイド13を介して配線処理が施され、素子の低抵抗化を図ることができる。

【0069】(実施形態5)図5に示す本発明に係る半導体装置の製造方法は、ゲート電極形成工程と、サイドウォール形成工程と、第1のソース・ドレイン形成工程と、空隙形成工程と、熱処理工程と、第2のソース・ドレイン形成工程と、活性化処理工程とを少なくとも含んでいる。

【0070】図5(a)に示すゲート電極形成工程では、半導体基板6の素子領域4にゲート絶縁膜2を介してゲート電極1を形成する処理を行う。この工程は図1(a)と同様に処理を行う。

【0071】図5(b)に示すサイドウォール形成工程では、ゲート電極1の側部に内外2層の第1のサイドウォール3及び第2のサイドウォール7を形成する処理を行う。この工程は図1(b)と同様に処理を行う。

【0072】図5(c)に示す第1のソース・ドレイン形成工程では、半導体基板6の全面に不純物をイオン注入して、不純物分布の深いソース・ドレイン領域8a, 8bを形成し、かつゲート電極1を低抵抗化して不純物を含むゲート電極9を形成する処理を行う。このときイオンの注入条件は、ソース・ドレイン領域8a, 8bを形成するイオンがチャネル領域に分布しないように行

イドウォール3上にシリコン酸化膜からなる第2のサイドウォール7を積層し、内外2層のサイドウォール3とサイドウォール7を形成する。また図7(c)、図8(f)に示すようにイオン注入によりソース・ドレイン領域8a、8bを形成する。しかる後、図7(d)、図8(g)に示すようにシリコン窒化膜からなるゲート絶縁膜2及びサイドウォール3をホットリン酸で除去することにより、ゲート電極9を半導体基板6の素子領域を区画するフィールド酸化膜5、5に両端支持して半導体基板6から浮上させ、ゲート電極9と外側サイドウォール7の間に空隙Cを形成するとともに、ゲート絶縁膜2に代えてゲート電極9とソース領域8a及びドレイン領域8bとの間にも空隙Cを形成する。

【0087】したがって本発明によれば図7(g)及び図8(g)に示すように、空隙Cを設けるにあたって、ゲート電極9を半導体基板6の素子領域を区画するフィールド酸化膜5、5に両端支持して半導体基板6から浮上し、ゲート電極9と側壁Sとの間に空隙Cを形成するとともに、ゲート絶縁膜2に代えてゲート電極9とソース領域8a及びドレイン領域8bとの間にも空隙Cを形成している。そのため、ゲート電極9とソース領域8a及びドレイン領域8bとは、空隙Cを介して隣接することとなり、図10(a)に示すフランジ容量ばかりでなく、オーバーラップ容量、ゲート容量を低減することができる。

【0088】また本発明によれば、ゲート電極9から基板6への不純物の拡散およびホットキャリア劣化をなくすることができる。

【0089】また上述した本発明の製造方法は図7(d)、(e)、(f)、(g)に示すように、サイドウォール10の高さをゲート電極9より低くしてゲート電極9を上方に突き出して設け、絶縁膜(11、12)のエッチバックにより、ゲート電極9及びソース・ドレイン電極8a、8bの表面を露出させ、ゲート電極9及び基板6にシリサイド13を形成しているため、ゲート電極9及びソース・ドレイン電極8a、8bは、シリサイド13を介して配線処理が施され、素子の低抵抗化を図ることができる。

【0090】

【発明の効果】以上説明したように本発明によれば、ゲート電極の側壁とゲート電極の間には、ゲート電極とソース領域及びドレイン領域の間に容量低減用空隙を有しているため、ゲート電極とソース領域及びドレイン領域の間に生ずるフランジ容量を低減することができる。さらに側壁の高さをゲート電極より低くしてゲート電極を上方に突き出して設け、絶縁膜のエッチバックにより、ゲート電極及びソース・ドレイン電極の表面を露出させ、ゲート電極及び基板にシリサイドを形成しているため、ゲート電極及びソース・ドレイン電極は、シリサイドを介して配線処理が施され、素子の低抵抗化を図ること

とができる。

【0091】さらに本発明に係る半導体装置は、ポケット構造を、ゲート電極と側壁との間に形成された空隙の下方領域に制限して設けているため、ゲート電極とソース領域及びドレイン領域との重なりあう部分における接合容量を増やさずに短チャネル効果を抑制することができる。

【0092】さらに本発明に係る半導体装置は、空隙を設けるにあたって、ゲート電極を半導体基板の素子領域を区画するフィールド酸化膜に両端支持して半導体基板から浮上し、ゲート電極と側壁との間に空隙を形成するとともに、ゲート絶縁膜に代えてゲート電極とソース領域及びドレイン領域の間にも空隙を形成したため、ゲート電極とソース領域及びドレイン領域とは、空隙を介して隣接することとなり、フランジ容量ばかりでなく、オーバーラップ容量、ゲート容量を低減することができる。

【0093】また本発明による半導体装置の製造方法は、ゲート電極の側壁に空隙を設けることにより、ゲート電極のフリンジ容量を減らすことができ、また空隙を用いてイオン注入することにより、ポケット構造の分布を空洞の下の方に形成して、接合容量を増やさずに短チャネル効果を抑制できる。また、ゲート電極より側壁の高さを低くしてゲート電極を上方に突き出し、空隙の上部開口縁を施した絶縁膜をエッチバックしてソース・ドレイン領域およびゲート電極の上部を露出させ、シリサイド化を行い素子の低抵抗化を行うことができる。

【0094】さらに本発明による半導体装置の製造方法では、ゲート電極の側壁を用いて、浅い接合のソース・ドレイン領域は基板に対して垂直にイオン注入を行い、続けて深い接合のソース・ドレイン領域およびゲート電極は斜めからのイオン注入を行って形成することにより、LDD領域の形成のために露光工程を省略することができる。

【0095】さらに本発明による半導体装置の製造方法では、深い接合を有するソース・ドレイン領域の形成およびゲート電極への不純物の配置を行った後にLDD構造を形成するため、ゲート電極中に充分均一に不純物を配置でき、かつ、熱処理によるゲート電極から基板への不純物の拡散およびソース・ドレイン領域からの横方向への不純物の余計な拡散を防ぐことができる。

【0096】さらに本発明による半導体装置の製造方法では、ゲート電極の側壁の空洞を用いて、チャネル領域のイオン注入を行うことにより、露光工程を増やさずにチャネル領域の分布する領域を制限することができる。

【0097】また本発明による半導体装置の製造方法では、ゲート電極の側壁に空洞部分を形成すると同時にゲート絶縁膜も除去することにより、ゲート電極から基板への不純物の熱拡散を抑制し、また、ホットキャリア劣化を無くすことができる。

【図面の簡単な説明】

【図1】(a)～(g)は、本発明の実施形態1に係る半導体装置の製造方法を工程順に示す断面図である。

【図2】(a)～(g)は、本発明の実施形態2に係る半導体装置の製造方法を工程順に示す断面図である。

【図3】(a)～(h)は、本発明の実施形態3に係る半導体装置の製造方法を工程順に示す断面図である。

【図4】(a)～(g)は、本発明の実施形態4に係る半導体装置の製造方法を工程順に示す断面図である。

【図5】(a)～(h)は、本発明の実施形態5に係る半導体装置の製造方法を工程順に示す断面図である。

【図6】(a)～(g)は、本発明の実施形態6に係る半導体装置の製造方法を工程順に示す断面図である。

【図7】(a)～(g)は、本発明の実施形態7に係る半導体装置の製造方法を工程順に示す断面図である。

【図8】(a)～(g)は、本発明の実施形態7に係る半導体装置の製造方法を工程順に示す断面斜視図である。

【図9】本発明による半導体装置の製造方法により形成したゲート電極の側壁の空洞部分の電子顕微鏡(SEM)による断面像である。

【図10】(a)は、電界効果トランジスタの各寄生容量を示す図、(b)は、シミュレーションにより求めた

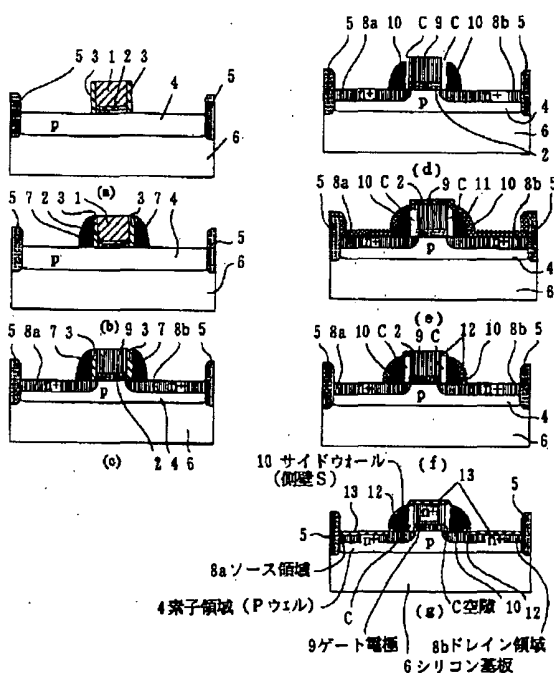
遅延時間と電界効果トランジスタの各寄生容量の寄与率の関係を示す図である。

【図11】(a)、(b)は、従来例に係る半導体装置の製造方法を工程順に示す断面図である。

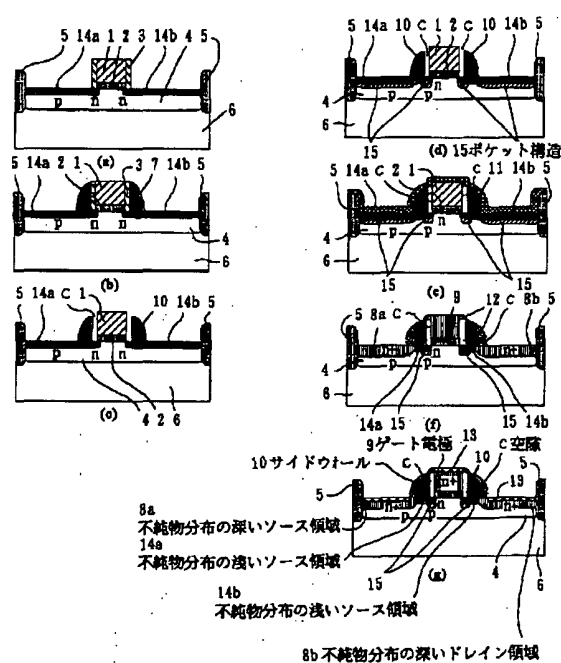
【符号の説明】

- 1 ゲート電極
- 2 ゲート絶縁膜
- 3 第1のサイドウォール
- 4 素子領域(p型のウェル)
- 5 フィールド絶縁膜
- 6 シリコン基板
- 7 第2のサイドウォール
- 8a, 8b ソース・ドレイン領域
- 9 不純物を含むゲート電極
- 10 ゲート電極より高さの低いサイドウォール(側壁S)
- 11 シリコン酸化膜(絶縁膜)
- 12 シリコン酸化膜(絶縁膜)
- 13 シリサイド
- 14a, 14b 浅い不純物分布のソース・ドレイン領域(LDD構造)
- 15 ポケット構造
- C 空隙

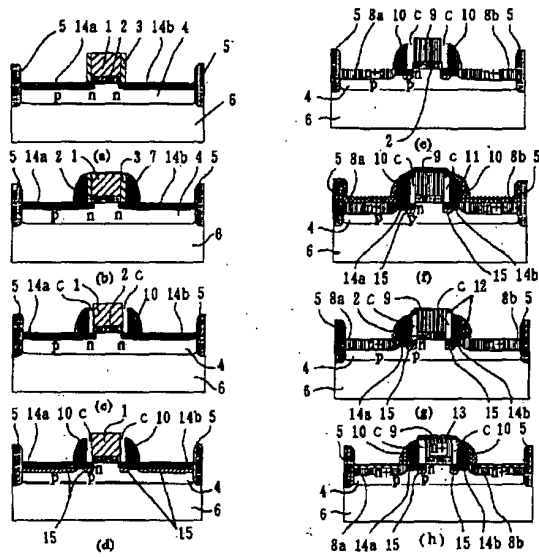
【図1】



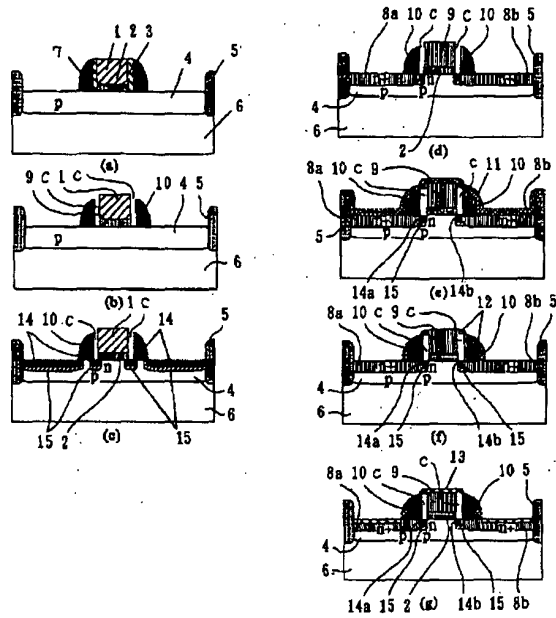
【図2】



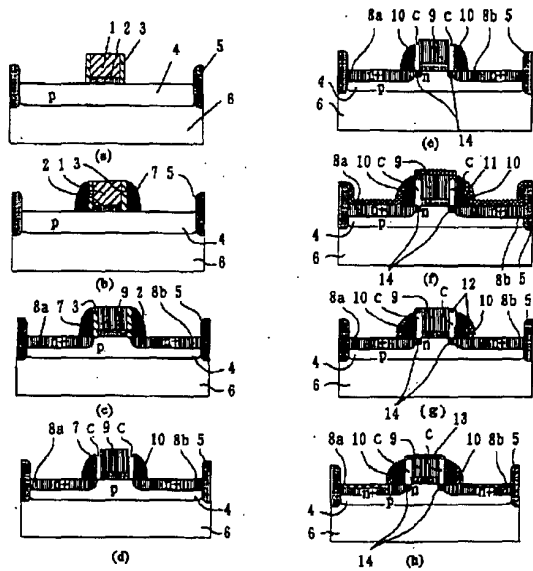
【図3】



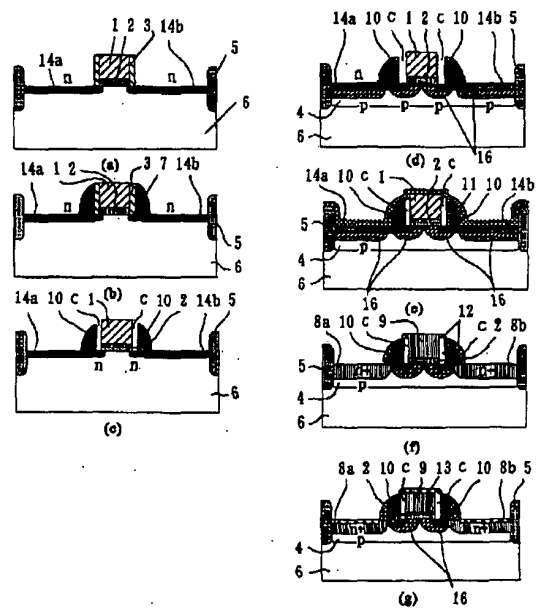
【図4】



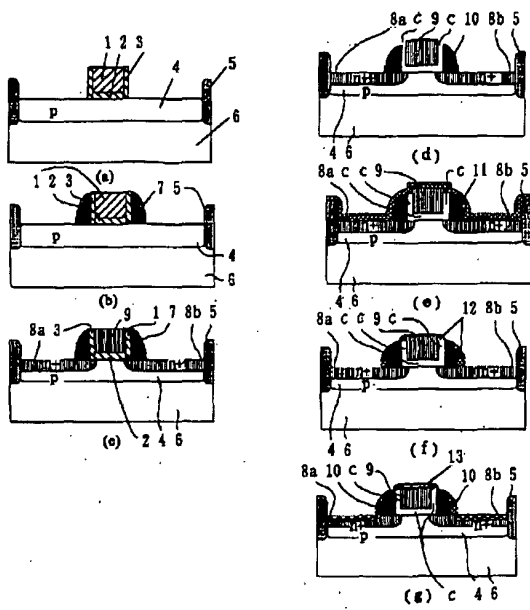
【図5】



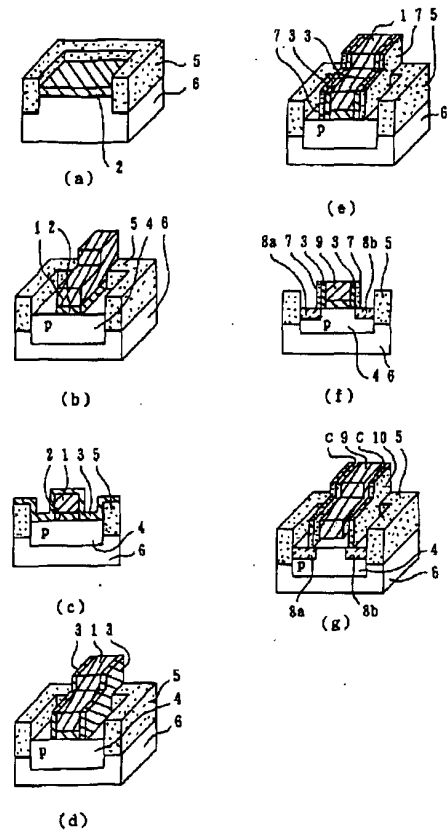
【図6】



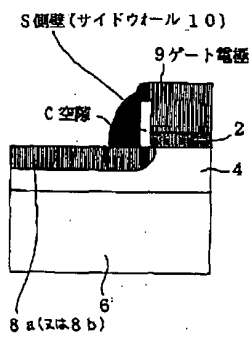
【図7】



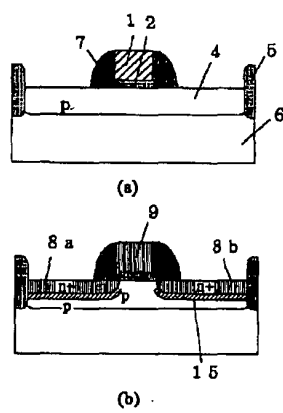
【図8】



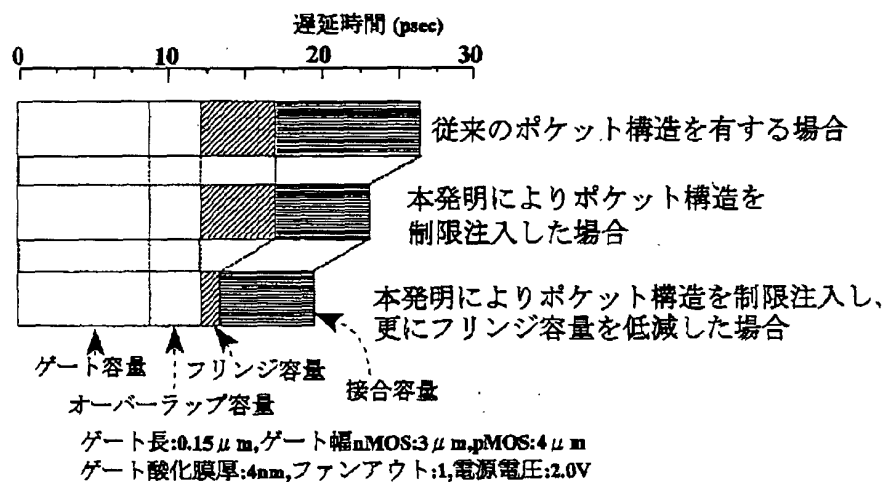
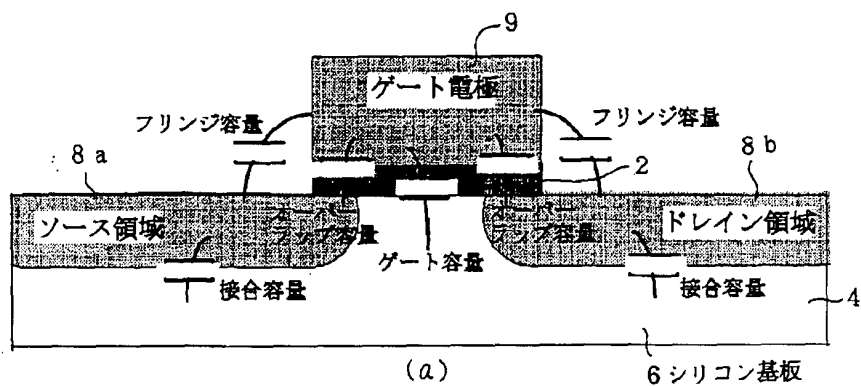
【図9】



【図11】



【図10】



(b)